

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申請日：西元 2002 年 12 月 30 日  
Application Date

申請案號：091137925  
Application No.

申請人：華邦電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 5 月 5 日  
Issue Date

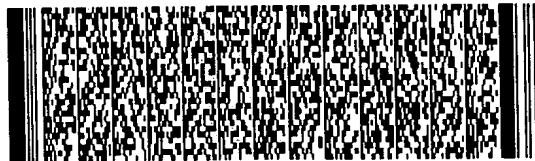
發文字號：09220438090  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	增強型靜電放電防護結構
	英 文	Robust ESD Protection Structures
二、 發明人 (共2人)	姓 名 (中文)	1. 林錫聰 2. 陳偉梵
	姓 名 (英文)	1. Shi-Tron Lin 2. Wei-Fan Chen
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北市大同區朝陽里15鄰延平北路二段69號9樓 2. 台中市北區新興里九鄰三民路三段89巷6號1樓
	住居所 (英 文)	1. 9F, No. 69, Sec. 2, Yen-Ping N. Rd., Taipei, Taiwan. 2. 1F, No. 6, Lane 89, Sec. 3, SanMin Rd., Taichung, Taiwan.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 華邦電子股份有限公司
	名稱或 姓 名 (英文)	1. Winbond Electronics Corp.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 新竹科學工業園區研新三路四號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 4, Creation Rd. III, Science-Based Industrial Park, Hsinchu, Taiwan, R. O. C.
	代表人 (中文)	1. 焦佑鈞
	代表人 (英文)	1. Arthur, Y. C. Chiao



四、中文發明摘要 (發明名稱：增強型靜電放電防護結構)

本案為一種增強型靜電放電防護結構，其佈局由上視之，包含：一汲極區域，；一場氧化狹帶，該場氧化狹帶之一第二邊係與該汲極區域之一第一邊相鄰，該場氧化狹帶係具一第一端；一第一閘極區段，係電性耦接該場氧化狹帶之該第一端，且該第一閘極區段之一第二邊係與該汲極區域之一第一邊相鄰；一源極區域，該源極區域之一第二邊係與該場氧化狹帶之一第一邊及該第一閘極區段之一第一邊相鄰；藉以形成該靜電放電防護結構。

本案代表圖為：圖 5A。

代表圖之元件圖號簡單說明：

51：場氧化狹帶

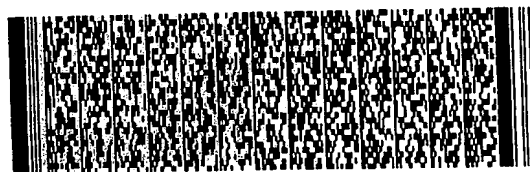
52：閘極區段

53：汲極區域

54：源極區域。

陸、英文發明摘要 (發明名稱：Robust ESD Protection Structures)

The present invention provides a combined FOX and poly gate structure, for effectively reducing the trigger voltage of a conventional field device, for improving the robustness of a NMOS transistor of a small drive I/O circuit, and for improving the ESD performance of a stack-gate voltage tolerant I/O.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### [ 技術領域 ]

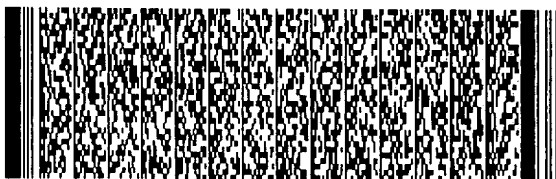
本案為一種增強型靜電放電防護結構，尤指結合了場氧化層 (FOX) 與多重閘道的結構，能夠有效率地降低傳統設備的驅動電壓，以增進小驅動 (Small-drive) 之輸出入電路的 N 型金屬氧化半導體電晶體 (NMOS) 的強度，並且改善堆疊式閘道 (Stack-gate) 之輸出入容忍電壓的靜電放電 (ESD) 效能。

### [ 先前技術 ]

茲簡介多閘指 (Multi-gate-fingers) 的 N 型金屬氧化半導體場效電晶體如下：

習用 N 型金屬氧化半導體場效電晶體 (NMOSFET) 是一種具有非常高效率的靜電放電 (ESD) 防護設備。在一般的應用中，N 型金屬氧化半導體場效電晶體 (NMOSFET) 的閘道通常聯接到一個閘道驅動訊號，並用來作為互補式金屬氧化半導體電晶體 (CMOS) 緩衝器的下拉式裝置以產生輸出電壓。另外一種應用則是直接將 N 型金屬氧化半導體場效電晶體 (NMOSFET) 的閘接地，當靜電放電 (ESD) 發生時可用來保護輸入指或電源排線。

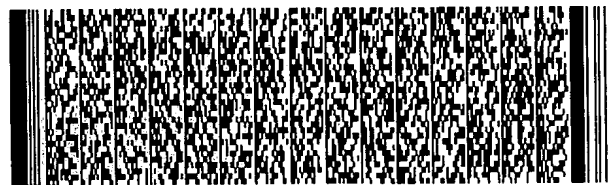
在 PS (Positive-Voltage-to-VSS) 模式的靜電放電 (ESD) 事件中，當 VSS 電源指處於接地的狀態時，正極的靜電放電中繼電壓將提供給某一個 IC 指，而 N 型金屬氧化半導體場效電晶體 (NMOSFET) 的防護將極度地依賴於跳通機制



## 五、發明說明 (2)

(Snap Back)以引導汲極 (drain) 與源極 (source) 之間的大量靜電放電 (ESD) 電流。首先，在汲極 (drain junction) 的高電場將會引發衝擊離子化 (impact ionization) 的影響，這時候將同時產生少數載子與多數載子 (Majority Carrier)。少數載子 (Minority Carrier) 流將流向汲極 (drain)，而多數載子 (Majority Carrier) 流則會流向基板 (substrate) 或 PWELL，如此將在 PWELL 中的電流路線裡產生一個局部的電壓準位。當這個局部的基板 (substrate) 電壓值高於鄰近的  $n^+$  源極 (source) 電壓準位 0.6 伏特時，此源極 (source junction) 將會正向偏壓。接著此正向偏壓的源極 (source junction) 將會把少數載子 (Minority Carrier) (電子) 注入 PWELL 之中，而這些載子最後將會到達汲極 (drain junction) 並且使得衝擊離子化 (impact ionization) 的影響更為嚴重 (請參考 Ref-1b)。在連續不斷的循環之下，金屬氧化半導體場效電晶體 (MOSFET) 會逐漸步入低阻阡之跳通狀態並且傳導大量的靜電放電 (ESD) 電流。

在如圖 1A 與 1B 之多重指的 N 型金屬氧化半導體電晶體 (NMOS) 之結構中，並非所有的閘極指 13 在靜電放電 (ESD) 的過程裡都會啟動導通。這是因為前面的少數幾支閘極指早已經快速地啟動導通並進入跳通的低阻抗狀態。如此會使得從汲極 11 (drain) 到源極 12 (source) 的電壓降低。這樣一來其他的閘極指便無法啟動導通。所以，部

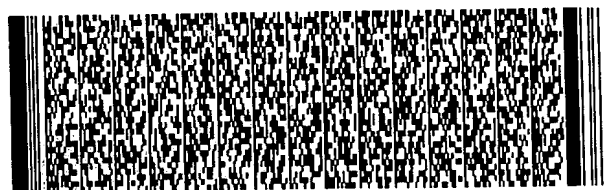
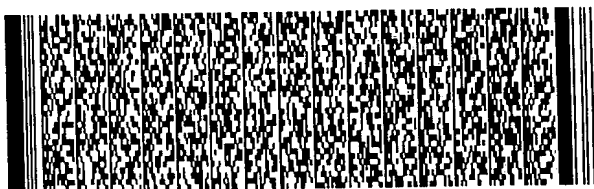


### 五、發明說明 (3)

份數量的閘極指啟動導通吸收靜電放電 (ESD) 的能量，而 N 型金屬氧化半導體場效電晶體 (NMOSFET) 的有效尺寸減小，而使得靜電放電 (ESD) 的效能降低。

當某支閘極指在靜電放電 (ESD) 事件中被觸發時，該整條閘極指會自動導通。這是由於所謂的連鎖效應 (Cascading effect) 所導致，也就是說，在正向偏壓狀態下的局部源極 (source junction) 會將大量的載子注入基板 (substrate) 以讓載子流向汲極 (drain junction)，而此汲極 (drain junction) 卻會產生更多的少數載子 (Minority Carrier) (此乃因為衝擊離子化 (impact ionization) 的影響) 並流回到 p+保護圈以提昇鄰近的 PWELL 電壓準位。因此，該鄰近的源極 (source) 區域也跟著轉變成為正向偏壓狀態。在上述這種連鎖效應中整支閘極指都會被啟動導通成為跳通狀態。

前面所述之具有自我靜電放電 (self-ESD) 保護功能，並且以金屬氧化半導體場效電晶體 (MOSFET) 為基礎所構成的輸出入結構中，一般都包括了相當數量之 N 型金屬氧化半導體場效 (NMOSFET) 電晶體與 P 型金屬氧化半導體場效 (PMOSFET) 電晶體。如圖 2A 與 2B 所示，下拉式 N 型金屬氧化半導體場效電晶體 (NMOSFET) 可由很多閘元件 (Gate Element) 組合而成，其中部份閘元件會連接到第一閘信號以成為輸出電晶體，而一部份的閘元件則會連接到 VSS 排



#### 五、發明說明 (4)

線或接地以成為輸入保護靜電放電 (ESD) 結構。在上述的方法中，一個由閘極區段 (Poly-Gate Element) 所組成的閘元件基本上都會藕合到一個閘信號或一條電源排線。

圖 3A 所示為一般常見的電壓容忍 (Voltage Tolerant) 輸出與靜電放電 (ESD) 保護電路之下拉式部份結構。倘若以此為例，假設當 VDD 為 3.3 伏特且 N 型金屬氧化半導體電晶體 (NMOS) 的閘氧化層 (Gate Oxide) 其最大耐壓可達 3.6 伏特。但由於是堆疊式閘道結構的關係，會通過每個下拉式 N 型金屬氧化半導體 (NMOS) 電晶體的閘氧化層 (Gate Oxide) 其電壓值都不會超過 3.3 伏特，即使餵入 5 伏特的訊號也還是一樣。這就是所謂的以 3.3 伏特金屬氧化半導體 (MOS) 電晶體所構成的 5 伏特容忍電壓設計。然而上述的 5 伏特容忍輸出電路其靜電放電 (ESD) 效能基本上並不理想，這是因為汲極 (drain) 到源極 (source) 間的距離又太大的關係 (使得跳通機制的效果變差)。圖 3B 所示則為 (下拉式) 輸出電路之堆疊式閘道結構圖。

圖 4A 所示為另一種稱為場效元件 (Field Device) 或側邊雙極性元件 (Lateral Bipolar Device) 的靜電放電 (ESD) 保護裝置。而圖 4B 所示則為場效元件 (Field Device) 的結構圖例，它具有一個由能夠分隔 n+ 汲極 (drain) 區域與 n+ 源極 (source) 區域的場氧化狹帶 (Stripe) 所形成之通道區域。場效元件 (Field Device) 可為靜電放電 (ESD)



#### 五、發明說明 (5)

保護裝置之一種主要且可行的選擇，但其美中不足的缺點為它的觸發電壓一般都會稍高，以致於在靜電放電時不易被觸發導通。

#### [ 本案目的 ]

本案主要的目的係利用場氧化層 (FOX, 即 Field Oxide) 與多晶矽，同時結合島狀多晶矽 (Poly Island) 及島狀場氧化層 (FOX Island)，降低觸發電壓來使靜電的排放更為順利。

#### [ 本案內容 ]

為達上述目的，本案提出一種增強型靜電放電防護結構，由上視之，包含：

一汲極區域；

一場氧化狹帶，該場氧化狹帶之一第二邊係與該汲極區域之一第一邊相鄰，該場氧化狹帶係具一第一端；

一第一閘極區段，係與該場氧化狹帶之該第一端重疊 (Overlap)，且該第一閘極區段之一第二邊係與該汲極區域之一第一邊相鄰；以及

一源極區域，該源極區域之一第二邊係與該場氧化狹帶之一第一邊及該第一閘極區段之一第一邊相鄰，藉以形成該靜電放電防護結構。

如所述之增強型靜電放電防護結構，其中該場氧化狹



#### 五、發明說明 (6)

帶更具一第二段，該場氧化狹帶之該第二段可與一第二閘極區段重疊。

如所述之增強型靜電放電防護結構，其中該汲極區域可為一  $n^+$  擴散層 ( $n^+$  Diffusion)。

如所述之增強型靜電放電防護結構，其中該源極區域可為一  $n^+$  擴散層 ( $n^+$  Diffusion)。

如所述之增強型靜電放電防護結構，其中更包含複數個島狀多晶矽 (Poly Island)，分佈於該汲極區域上。

如所述之增強型靜電放電防護結構，其中更包含複數個島狀場氧化層 (FOX Island)，分佈於該汲極區域上。

如所述之增強型靜電放電防護結構，其中更包含一第三多晶矽部，該第三多晶矽與該第一多晶矽部平行且與該場氧化狹帶之該第一段重疊。

如所述之增強型靜電放電防護結構，其中更包含一第四多晶矽部，該第四多晶矽部與一第二多晶矽部平行，且與該場氧化層之一第二段重疊。

另外，本案更提出一種增強型靜電放電防護結構，由上視之，包含：

- 一第一金屬部；
- 一汲極區域，該汲極區域與該第一金屬部電性耦接；
- 一閘極區段，該第一閘極區段之一第二邊係與該汲極區域之一第一邊相鄰；
- 一源極區域，該源極區域之一第二邊係與該第一閘極

#### 五、發明說明 (7)

區段之一第一邊相鄰；

一第二金屬部，該第二金屬部與該源極區域電性耦接，藉以形成該靜電放電防護結構；

複數個島狀多晶矽 (Poly Island)，分佈於該汲極區域上；以及

複數個島狀場氧化層 (FOX Island) 及複數個島狀多晶矽 (Poly Island)，分佈於該汲極區域上，藉以形成該靜電放電防護結構。

如所述之增強型靜電放電防護結構，其中該第一金屬具複數個接觸窗 (Contact)。

如所述之增強型靜電放電防護結構，其中該第二金屬部具複數個接觸窗 (Contact)。

如所述之增強型靜電放電防護結構，其中該汲極區域為一  $n^+$  擴散層 ( $n^+$  Diffusion)。

如所述之增強型靜電放電防護結構，其中該源極區域為一  $n^+$  擴散層 ( $n^+$  Diffusion)。

#### [ 實施方式 ]

如圖 5A 所示，本案之增強型靜電放電防護結構主要由金屬部 M1、M2、汲極區域 53、源極區域 54、場氧化狹帶 51、閘極區段 52 組成。



#### 五、發明說明 (8)

該場氧化狹帶 51 二端或一端可連接閘極區段 52，金屬部 M1, M2 具複數個接觸窗 55 (Contact)，以電性連接汲極區 53。汲極區域 53 為  $n+$  擴散層 ( $n+$  Diffusion)，該源極區域 54 亦為一  $n+$  擴散層 ( $n+$  Diffusion)。

如圖 6A，在汲極區域 53 之範圍內更可利用複數個島狀多晶矽 61 (Poly Island) 或島狀場氧化層 62 (FOX Island) 來加強 ESD 元件均勻導通的效果。

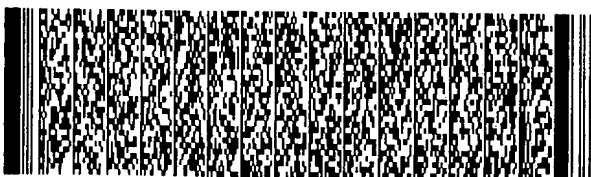
另外，圖 7A 為另一種改良結構，包含二金屬部 M1, M2、汲極區域 53、源極區域 54、閘極區段 521、複數個島狀多晶矽 61 及複數個島狀場氧化層 62。

圖 8A 則為圖 6A 的一種變更設計，場氧化狹帶 51 二端或一端各與二個閘極區段 81, 82 重疊。圖 9A 則結合島狀多晶矽 61 (Poly Island) 及島狀場氧化層 62 (FOX Island)。該二個閘極區段形成一堆疊式閘極結構 (Stacked Gates)，以適用於電壓容忍之輸出，輸入或輸出之中。

本案之技術細節詳述如下：

1、利用降低觸發電壓來改進場效元件 (Field Device) 之靜電放電 (ESD) 保護元件：

如圖 5A 所示，閘極區段 52 可以在場氧化狹帶 (FOX Stripe) 51 的一端或兩端形成延伸。而通道區域則可在重疊的場氧化與閘極區段 52 的連續狹帶 (Stripe) 下形成，並且被連續的汲極擴散 (Diffusion) 邊界與連續的源極擴散邊界所包夾。



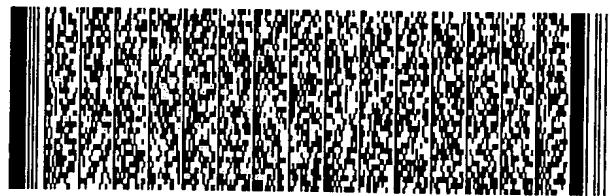
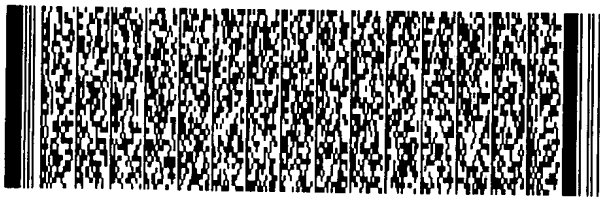
## 五、發明說明 (9)

結合了 FOX 狹帶 (Stripe) 51 與 閘極區段 52 將會形成一個介於汲極區域 53 與源極區域 54 之間的 "等效閘極指"。當該閘極區段 52 (Poly-Gate Element) 在靜電放電 (ESD) 事件中被啟動觸發導通時，則其餘的場氧化 / 閘極區段 (Fox/poly-gate element) 指也會被觸發導通。這是由於連鎖效應的關係，也就是說，在正向偏壓狀態中的局部源極接面 (local source junction) 將會把大量的載子注入基板 (substrate) 並讓它們流向汲極接面 (drain junction)，如此卻會產生更多的少數載子 (Minority carrier) (此乃因衝擊離子化 (impact ionization) 之影響) 並流回到 p+保護圈 (Guard Ring) 以提昇鄰近的 PWELL 電壓準位。因此，該鄰近的源極 (source) 區域也會被轉變成為正向偏壓狀態。在此連鎖效應之下，閘極區段 52 (Poly-Gate Element) 在 ESD 事件之觸發導通會很快地促使整條狹帶 (Stripe) 之場氧化 / 閘極區段指觸發導通到跳通狀態。

圖 5B, 5C, 5D, 以及 5E 所示為圖 5A 之設備中虛線 A-A', B-B', C-C', 與 D-D' 的剖面圖。

## 2、小驅動 (Small-drive) 之 N 型金屬氧化半導體 (NMOS) 電晶體：

在習用技術的圖 2A 與 3B 中，小驅動 (Small-drive) 之 N 型金屬氧化半導體 (NMOS) 電晶體因其結構太小不夠作為靜電保護之用，這裡會額外增加一些接地之閘極指，以與



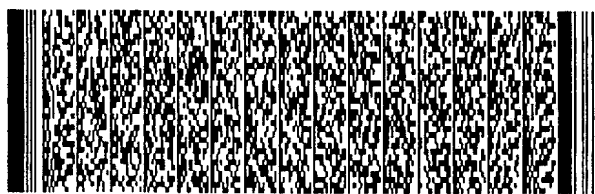
#### 五、發明說明 (10)

本身接信號之閘極指並聯，以共同作為靜電保護之用。但這樣做的缺點是，並非所有的N型金屬氧化半導體電晶體 (NMOS)之閘極指會同步地觸發導通，而使得靜電放電 (ESD) 效應不夠均勻。

圖 6A所示則為在場氧化 / 閘極區段狹帶 (Stripe)之一端或兩端所重疊的耦接信號的閘極指段，用於驅動一小型驅動 N型金屬氧化半導體電晶體。一旦該閘極區段 52(Poly-Gate Element)被觸發導通，則整條場氧化 / 閘極區段將會迅速地轉變成跳通狀態。

由於在靜電放電 (ESD) 事件中大部份的熱能是由閘極指的接近中心部位所產生，因此如果在 "場氧化 / 閘極區段 (Fox/poly-gate-element)" 指的中心部位由 FOX狹帶 (Stripe)所形成的話，將能有效地降低 (閘極區段 (Poly-Gate Element)之 ) 閘氧化層 (Gate Oxide) 因靜電放電 (ESD) 事件所導致的破裂機會。

"島狀結構" (island) 配置如汲極區域 53所示，其中島狀場氧化層 (FOX ISLAND) 61陣列與浮接島狀多晶矽 62(Floating Poly-Island)陣列將會被配置於汲極區域 53之接觸窗及該場氧化 / 多晶矽閘極指之間。在大多數的應用範例中，島狀多晶矽 62(Poly Island)陣列將會比島狀場氧化層 61(FOX ISLAND)陣列更加靠近於閘道與通道。在如此的安排配置下，閘道之間的距離長度將可由傳統的 5 $\mu$ m減少降低到 2至 4 $\mu$ m。因該場氧化 / 多晶矽閘極指之不連續性，其在靜電放電時之均勻觸發導通亦藉助於該島狀



#### 五、發明說明 (11)

陣列而更加提昇。

由島狀 FOX與島狀多晶矽 62(Poly Island)二者所組合而成的陣列其最大的優點是，它的觸發電壓在任何的製程技術下都將會是島狀 FOX或島狀多晶矽 62(Poly Island)結構二者間較低的一個觸發電壓。而且當高量的靜電放電(ESD)電壓進入時，藉由 FOX較近汲極接觸窗以隔開島狀多晶矽將能有效地減少島狀多晶矽閘氧化層(Gate Oxide)的損害機會。

圖 6B與 6C所示為圖 6A之設備中虛線 E-E'與 F-F'的剖面

#### 3. 具靜電放電(ESD)防護的電壓容忍輸出入(Voltage-Tolerant I/O)：

習知之電壓容忍輸出入線路係以一較低電壓(如 3.3V)製程所形成之輸出/輸入結合之線路，其能容許更高電壓(如 5V)之信號輸入，而不會使其內含之電晶體受到損壞。其下接線路通常由二串聯之 NMOS形成一堆疊閘(Stacked-gate)元件之結構。

如圖 8所示為一改進之"堆疊閘元件"與一場氧化層(Field Oxide or FOX)所形成之連續狹帶(stripe)之複合閘極電晶體結構。該堆疊閘元件可由二平行之多晶矽(polysilicon)閘極所形成，其與基體間夾有一層薄氧化



## 五、發明說明 (12)

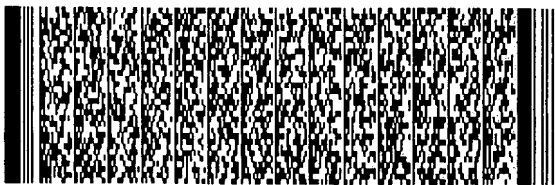
層 (gate oxide)，且其以一端與該場氧化層狹帶相接近且重疊，而形成在該堆疊閘元件下方及該場氧化層狹帶下方之連續通道 (Channel)。該連續通道同時亦處於該複合閘極電晶體結構之一汲極及一源極之間。而該汲極可耦接至一輸出入墊片 (I/O Pad)。該源極可耦接至一電壓源匯流排 (如  $V_{ss}$ )。該場氧化層可由 LOCOS 或淺溝渠 (Shallow-Trench Isolation) 所形成。

在一正電壓之靜放電情況下，因多晶矽堆疊式閘極之發導電壓通常較場氧化層狹帶之觸發導通電壓為低，故能以較該場氧化層狹帶更早的一時間點先觸發導通。而後因該包夾該複合閘極之該連續汲極及該連續源極，及由上述之連鎖觸發導通之現象，而使整個該複合閘極皆導通，而能吸收舒解大量之 ESD 電流。

該複合閘極較單純之堆疊式閘極能有強大抗靜電放電 (ESD) 能力，其原因為：

(1) 該連續通道之中間部位可處於該場氧化層狹帶之下方，而場氧化層較多晶矽閘極更不易受靜電放電所產生之高電壓所破壞。

(2) 依製程而有所不同，包夾一場氧化層狹帶之汲極及源極間，較包夾一堆疊式閘極之汲極及源極間，可有更高的雙極增益 (Bipolar gain)，因而較單純之堆疊式閘極能有





#### 五、發明說明 (13)

更高之靜電放電防護之功效。

如圖 9 所示為在圖 8 之結構之汲極 (drain) 區域上配置一島狀結構的情形。該島狀結構可為一群各為該汲極之重滲雜區 (heavily doped region) 所包圍之獨立島狀物群 (Isolated islands) 群所形成。該源極區含與該汲極區內相同樣式 (type) 之重滲雜離子，且亦可包含有另一群島狀物結構 (未圖示)。該汲極或源極島狀結構之存在，可使得由該汲極及該源極間的靜電放電電流，更加均勻地導通；促進該整條複合閘極下方之整條通道之導通。

#### 5、島狀結構：

關於島狀結構的形成請參閱中華民國專利權證註冊編號 82094 號或美國專利權證註冊號 5721439 號 (USP#5721439) 的說明。

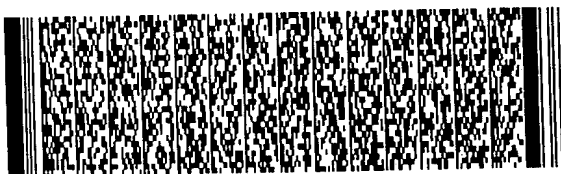
綜上所述，本案係利用結合 FOX 或多閘元件狹帶 (Stripe) 所組成之複合閘極，至少適用於小型驅動 N 型金屬氧化半導體 (NMOS) 電晶體，亦適用於電壓容忍輸出入墊 (pad) 之靜電防護同時可配合汲極 (drain) 區域的 FOX 或多閘島狀結構來達到改善靜電放電 (ESD) 保護的效果，爰依法提出專利之申請，申請專利範圍如附。



## 五、發明說明 (14)

### 參考專利文獻列表 --

- 1、 "矽化物積體電路中的靜電放電" ("ESD in Silicon Integrated Circuit"), Amerasekera and Duvvury, John, Wiley, and Sons, 1995。
- 2、 中華民國專利證號 82094靜電放電保護電路中的金氧半電晶體架構。
- 3、 USP #5721439靜電放電保護電路用之金屬氧化半導體晶體 (MOS transistor structure for electro-static discharge protection circuitry)。
- 4、 USP #5248892具有保護電路之半導體設備 (Semiconductor device provided with a protection circuit)。
- 5、 USP #6046087在汲極區域上利用一個閘道作為矽化物阻絕罩所構成的靜電放電保護設備配置法 (Fabrication of ESD protection device using a gate as a silicide blocking mask for a drain region)。
- 6、 USP #6064095靜電放電保護設備的配置設計 (Layout design of electrostatic discharge protection device)。
- 7、 USP #6153913靜電放電保護電路 (Electrostatic discharge protection circuit)。
- 8、 USP #6157065傳導墊之下的靜電放電保護電路



五、發明說明 (15)

(Electrostatic discharge protective circuit under conductive pad)。

9、 USP #6236073靜電放電設備 (Electrostatic discharge device)。



## 圖式簡單說明

### [ 圖式簡單說明 ]

本案得藉由下列圖式及詳細說明，俾得一更深入之了解：

圖 1A：習用多重指的 N 型金屬氧化半導體電晶體 (NMOS) 佈局。

圖 1B：習用多重指的 N 型金屬氧化半導體電晶體 (NMOS) 電路。

圖 2A：習用下拉式 N 型金屬氧化半導體場效電晶體 (NMOSFET) 電路。

圖 2B：習用下拉式 N 型金屬氧化半導體場效電晶體 (NMOSFET) 佈局。

圖 3A：習用電壓容忍輸出入與靜電放電 (ESD) 保護電路之下拉式部份電路。

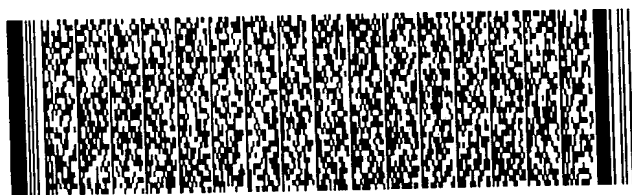
圖 3B：習用電壓容忍輸出入與靜電放電 (ESD) 保護電路之下拉式部份佈局。

圖 4A：習用場效元件 (Field Device) 或側邊雙極性元件 (Lateral Bipolar Device) 的靜電放電 (ESD) 保護裝置之電路。

圖 4B：習用場效元件 (Field Device) 或側邊雙極性元件 (Lateral Bipolar Device) 的靜電放電 (ESD) 保護裝置之佈局。

圖 5A：本案較佳實施例之閘極區段可以在場氧化狹帶 (Stripe) 的一端或兩端形成延伸之結構。

圖 5B：本案圖 5A 之 A-A' 剖面。



# 圖式簡單說明

圖 5C：本案圖 5A之 B-B'剖面。

圖 5D：本案圖 5A之 C-C'剖面。

圖 5E：本案圖 5A之 D-D'剖面。

圖 6A：本案較佳實施例之加上島狀多晶矽及島狀場氧化層佈局。

圖 6B：本案圖 6A之 E-E'剖面。

圖 6C：本案圖 6A之 F-F'剖面。

圖 7A：本案較佳實施例之多晶矽取代場氧化層之結構。

圖 7B：本案圖 7A之 G-G'剖面。

圖 7C：本案圖 7A之 H-H'剖面。

圖 8：本案較佳實施例之數個堆疊閘元件與一個 FOX狹帶 (Stripe)所形成的閘道結構之連續狹帶 (Stripe)。

圖 9：本案於圖 8之結構中汲極 (drain) 區域上配置島狀結構的情形。

## [ 圖 號 ]

汲極 11          源極 12          閘極 13

場氧化狹帶 51          閘極區段 52

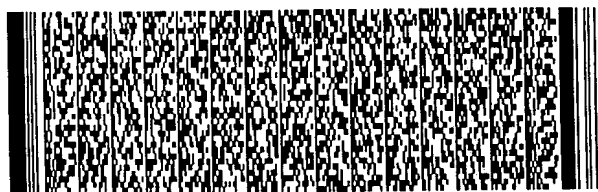
閘極區段 521

汲極區域 53          源極區域 54

接觸窗 55

島狀場氧化層 61          島狀多晶矽 62

金屬部 M1          金屬部 M2



圖式簡單說明

閘極區段 81, 82



## 六、申請專利範圍

1. 一種靜電防護 (ESD) 結構，包含：

一第一導電形態之半導體基體；

一第二導電形態之第一摻雜區，係形成於該半導體基體中；

一第二導電形態之第二摻雜區，係形成於該半導體基體中；

一通道區，係形成於該第一摻雜區及該第二摻雜區之間；

一第一閘極區段，係形成於該通道區之一第一部份之一；

一第一场氧化狹帶，係形成於該通道區之一第三部份之上；其中，該第一閘極區段之一第一端係重疊於該第一场氧化狹帶之一第一端。

2. 如申請專利範圍第 1 項所述之靜電防護 (ESD) 結構，其中該第一及第三部份形成該通道區之一第一連續部份。

3. 如申請專利範圍第 1 項所述之靜電防護 (ESD) 結構，其中該第一閘極區段及該第一场氧化狹帶實際為同軸者 (collinear)。

4. 如申請專利範圍第 1 項所述之靜電防護 (ESD) 結構，其中該第一閘極區段係包含一多晶矽元件於一氧化層上。

5. 如申請專利範圍第 1 項所述之靜電防護 (ESD) 結構，其中更包含：

一形成於該半導體上之複數個島狀結構，係由該第一摻雜區所包圍。



#### 六、申請專利範圍

6．如申請專利範圍第5項所述之靜電防護(ESD)結構，其中該等島狀結構包含一第一及一第二島狀陣列；該第一島狀陣列包含多晶矽氧化(Polysilicon-over-oxide)島狀結構；而該第二第二島狀陣列包含場氧化(Field-Oxide)島狀結構。

7．如申請專利範圍第6項所述之靜電防護(ESD)結構，其中該第一島狀陣列係比該第二島狀陣列較接近於該通道區。

8．如申請專利範圍第1項所述之靜電防護(ESD)結構，其中更包含：

一形成於該通道區之一第二部份上之第二閘極區段；而該第二閘極區段之一第一端係與該第一場氧化狹帶之一第二端重疊。

9．如申請專利範圍第1項所述之靜電防護(ESD)結構，其中該第一及第三部份係形成該通道區之一第二連續部份。

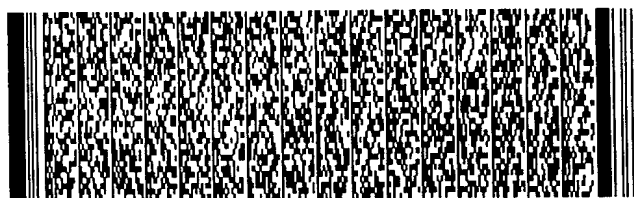
10．如申請專利範圍第1項所述之靜電防護(ESD)結構，其中該第一摻雜區係耦連接至一墊片(Pad)。

11．如申請專利範圍第1項所述之靜電防護(ESD)結構，其中該第二摻雜區係耦連接至一電源匯流排(Power Bus)。

12．一種靜電防護(ESD)結構，包含：

一第一導電形態之半導體基體；

一第二導電形態之第一摻雜區，係形成於該半導體基





## 六、申請專利範圍

體中；

一第二導電形態之第二摻雜區，係形成於該半導體基體中；

一通道區，係形成於該第一摻雜區及該第二摻雜區之間；該通道區包含一分裂通道 (Split Channel) 區及一無分裂通道 (Non-split Channel) 區；該分裂通道區包含一互相分離而保持距離 (Spaced) 的第一及第二子通道區；其中，該第一子通道區係相鄰於該第一摻雜區而該第二子通道區係相鄰於該第二摻雜區；

一形成於該第一子通道區上之第一閘極區段；

一形成於該第二子通道區上之第二閘極區段；

一形成於該無分裂通道區上之第一場氧化狹帶；以及

一由該第一及第二閘極區段形成之堆疊閘極結構

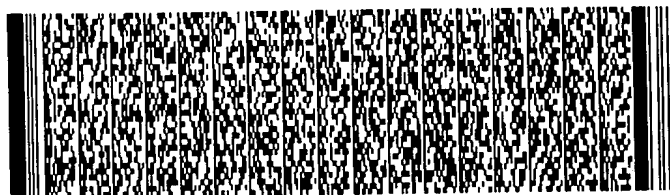
(stack-gate structure)。

13．如申請專利範圍第12項所述之靜電防護 (ESD) 結構，其中該第一及第二閘極區段係相互並聯。

14．如申請專利範圍第12項所述之靜電防護 (ESD) 結構，其中該第一閘極區段，該第二閘極區段及該第一場氧化狹帶係相互平行。

15．如申請專利範圍第12項所述之靜電防護 (ESD) 結構，其中該分裂通道區係連接至該無分裂通道區，以形成一連續通道區。

16．如申請專利範圍第12項所述之靜電防護 (ESD) 結構，其中該第一閘極區段係包含一多晶矽元件於一氧化層



## 六、申請專利範圍

上。

17．如申請專利範圍第12項所述之靜電防護(ESD)結構，其中該第二閘極區段係包含一多晶矽元件於一氧化層上。

18．如申請專利範圍第12項所述之靜電防護(ESD)結構，其中該第一閘極區段具一重疊於一場氧化延伸區段之第一段，而該第二閘極區段具一重疊於該場氧化延伸區段之第二段。

19．如申請專利範圍第12項所述之靜電防護(ESD)結構，其中更包含：

一形成於該半導體上之複數個島狀結構，係被包圍於該第一摻雜區。

20．如申請專利範圍第19項所述之靜電防護(ESD)結構，其中該複數個島狀結構包含複數個島狀陣列。

21．如申請專利範圍第12項所述之靜電防護(ESD)結構，其中該第一摻雜區耦連接至一墊片(Pad)。

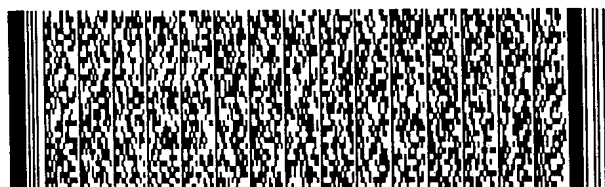
22．如申請專利範圍第12項所述之靜電防護(ESD)結構，其中該第二摻雜區耦連接至一電源匯流排(Power Bus)。

23．一種靜電防護(ESD)結構，包含：

一第一導電形態之半導體基體；

一第二導電形態之第一摻雜區，係形成於該半導體基體中；

一第二導電形態之第二摻雜區，係形成於該半導體基

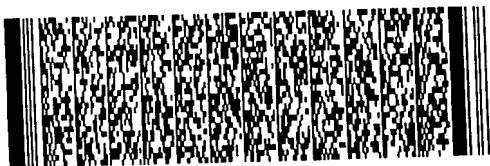


六、申請專利範圍

體中；

一通道區，係形成於該第一摻雜區及該第二摻雜區之間；

一第一及第二島狀陣列，形成於該半導體基體上，係被包圍於該第一摻雜區；其中，該第一島狀陣列包含多晶矽氧化(polysilicon-over-oxide)島狀結構；該第二島狀陣列包含場氧化島狀結構；而該第一島狀陣列係比該第二島狀陣列較接近於該通道區。



第 1/26 頁



第 1/26 頁



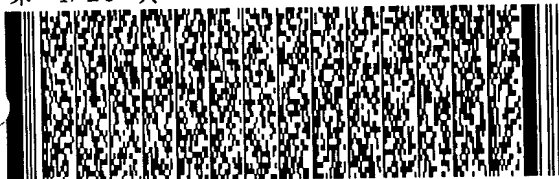
第 2/26 頁



第 3/26 頁



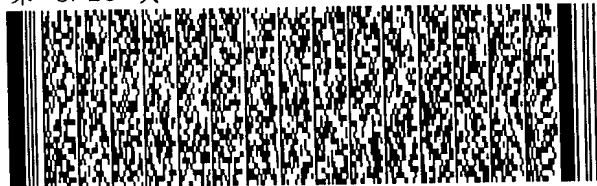
第 4/26 頁



第 4/26 頁



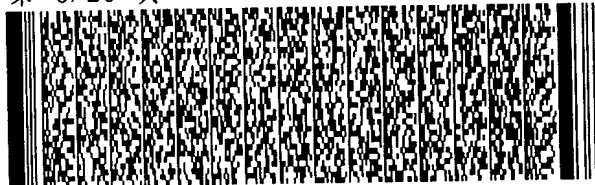
第 5/26 頁



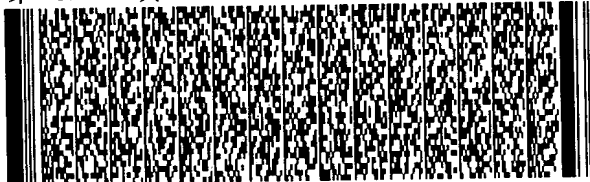
第 5/26 頁



第 6/26 頁



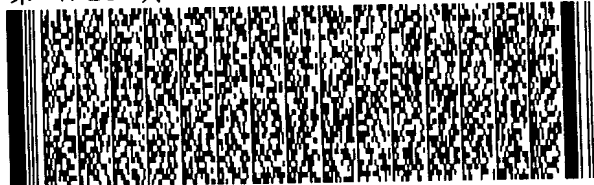
第 6/26 頁



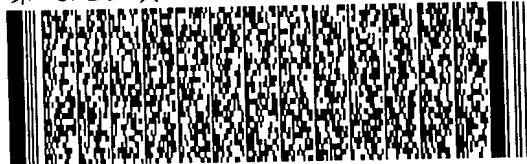
第 7/26 頁



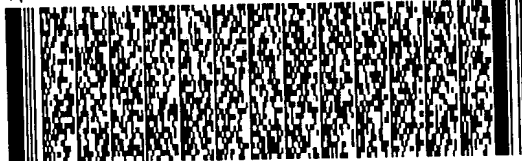
第 7/26 頁



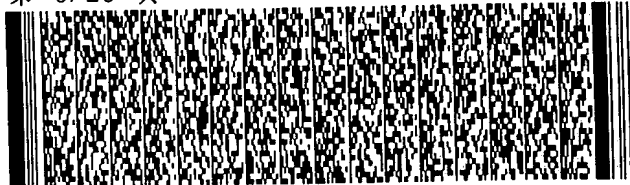
第 8/26 頁



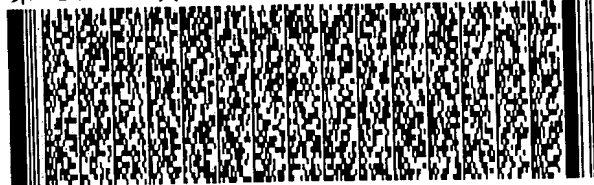
第 8/26 頁



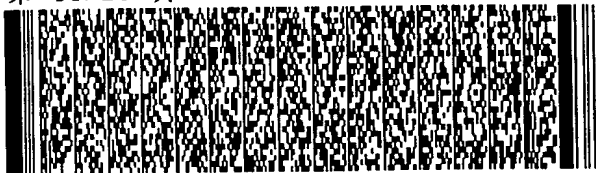
第 9/26 頁



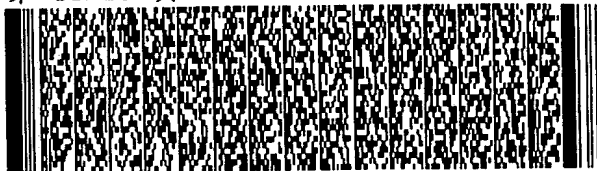
第 10/26 頁



第 11/26 頁



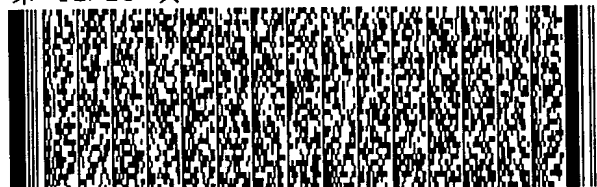
第 11/26 頁



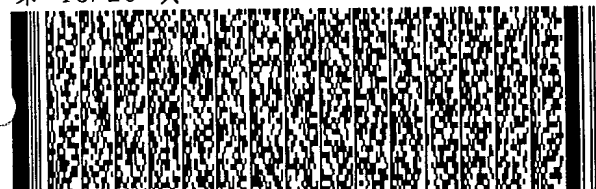
第 12/26 頁



第 12/26 頁



第 13/26 頁



第 13/26 頁



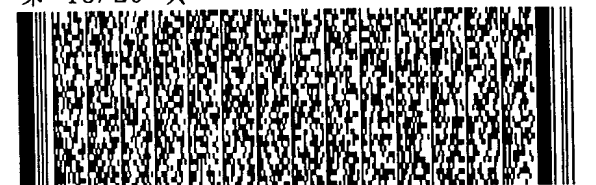
第 14/26 頁



第 14/26 頁



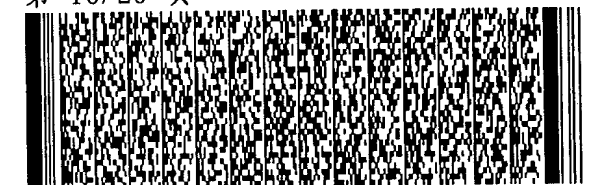
第 15/26 頁



第 15/26 頁



第 16/26 頁



第 16/26 頁



第 17/26 頁



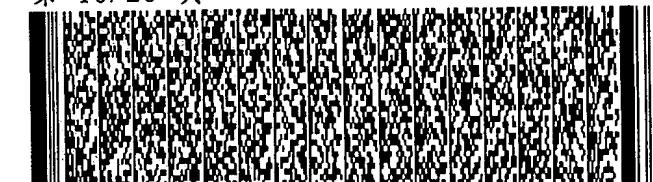
第 17/26 頁



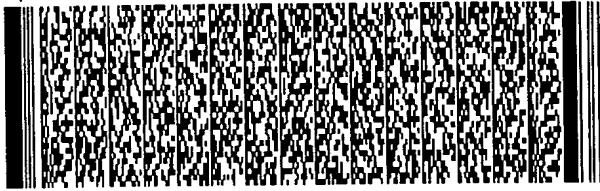
第 18/26 頁



第 19/26 頁



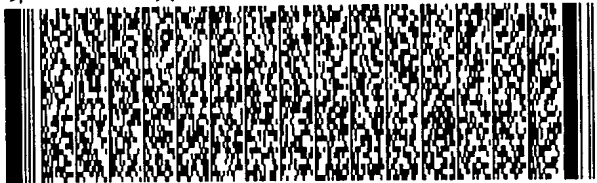
第 20/26 頁



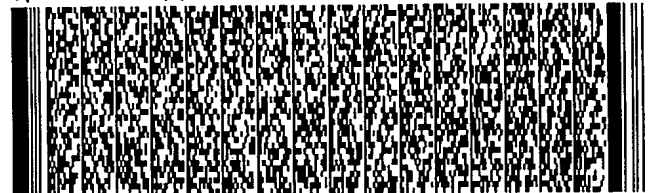
第 21/26 頁



第 22/26 頁



第 23/26 頁



第 24/26 頁



第 25/26 頁



第 26/26 頁



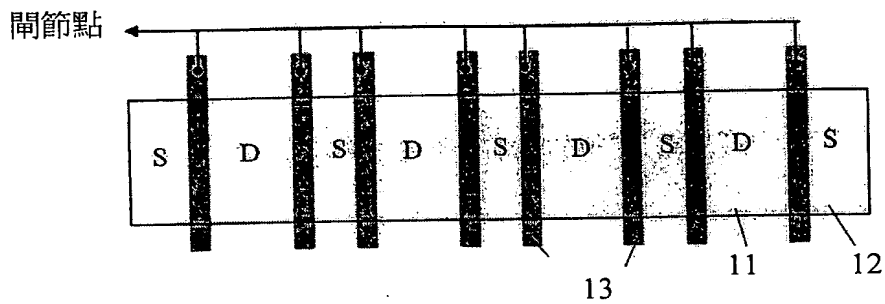


圖 1A

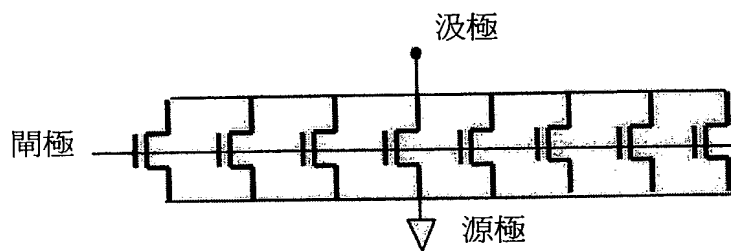


圖 1B

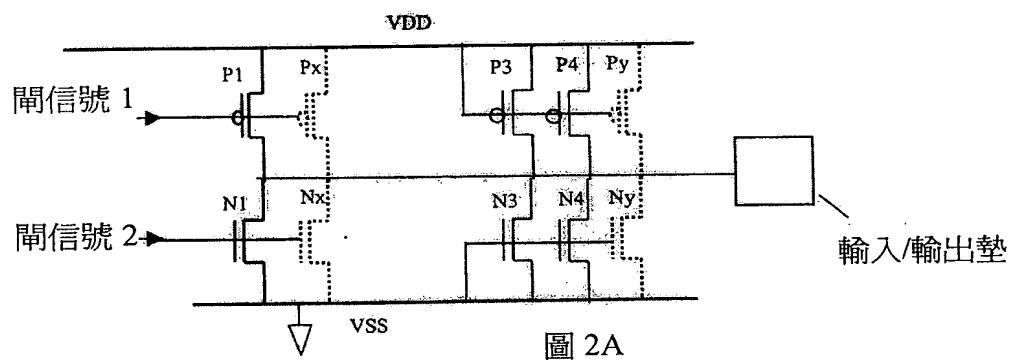


圖 2A

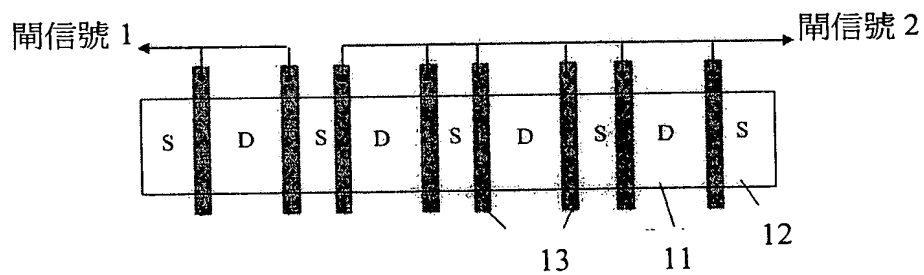


圖 2B

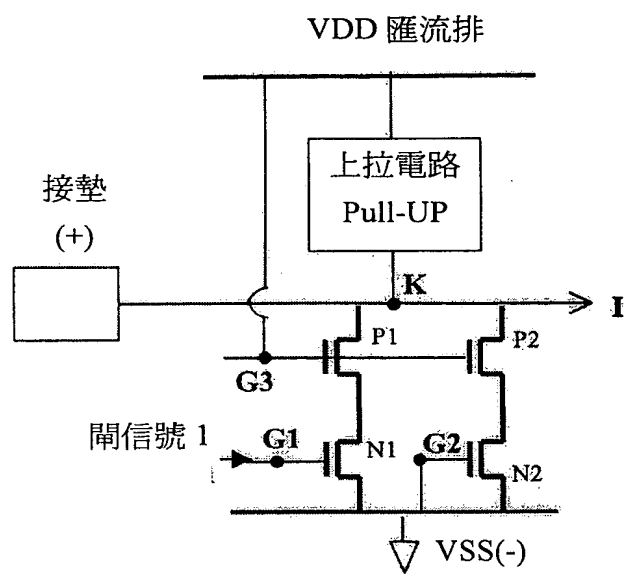


圖 3A

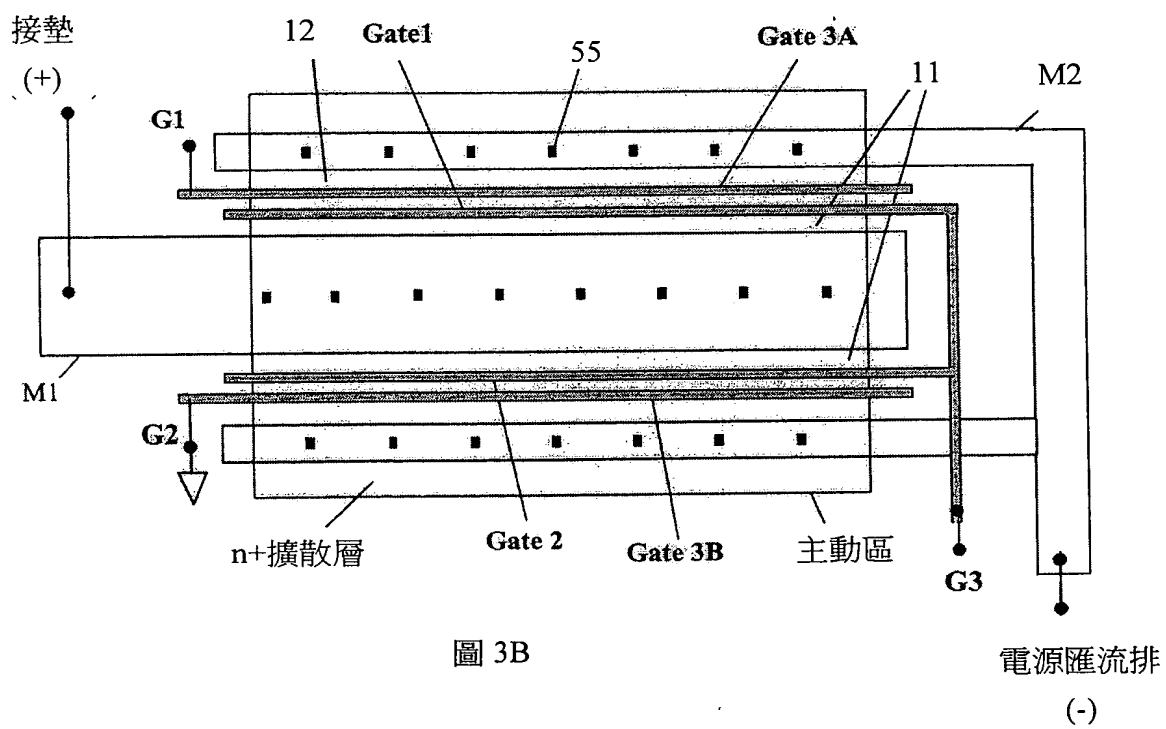


圖 3B



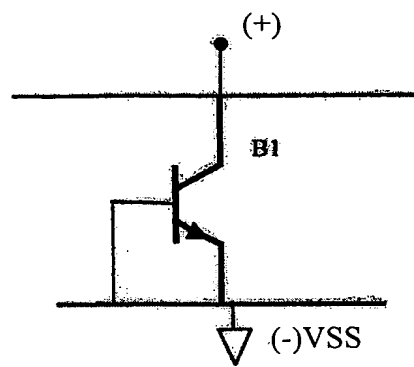


圖 4A

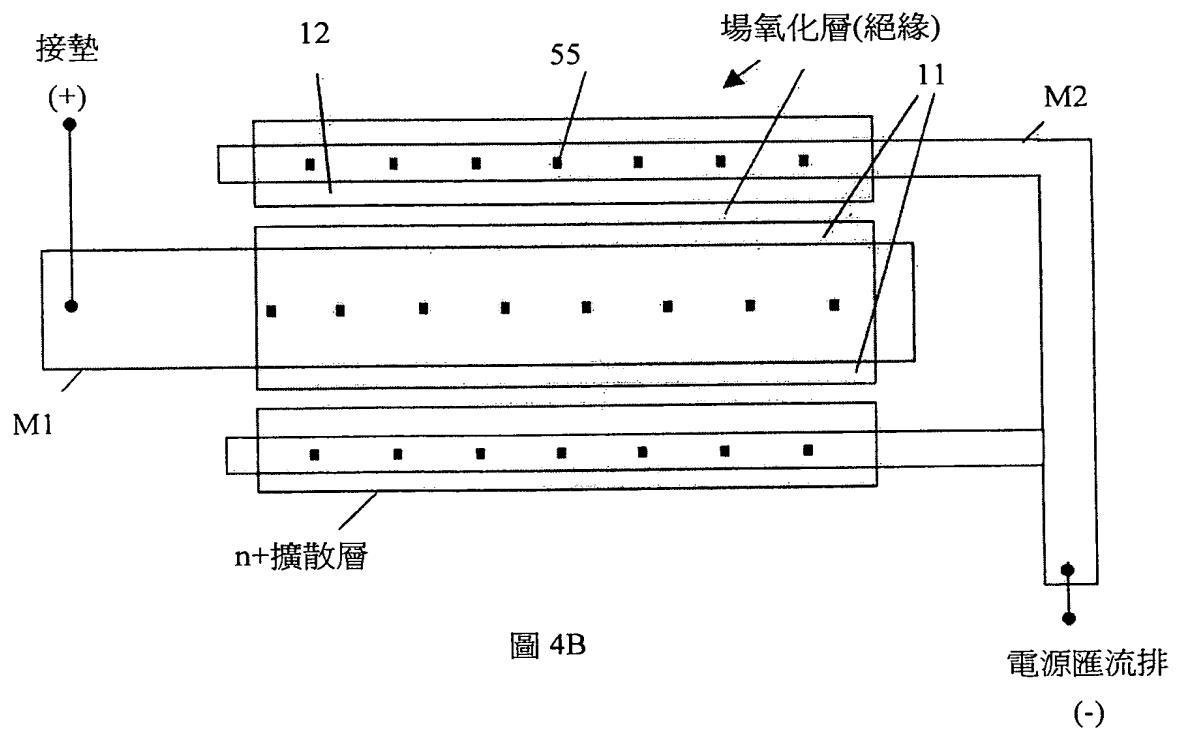


圖 4B

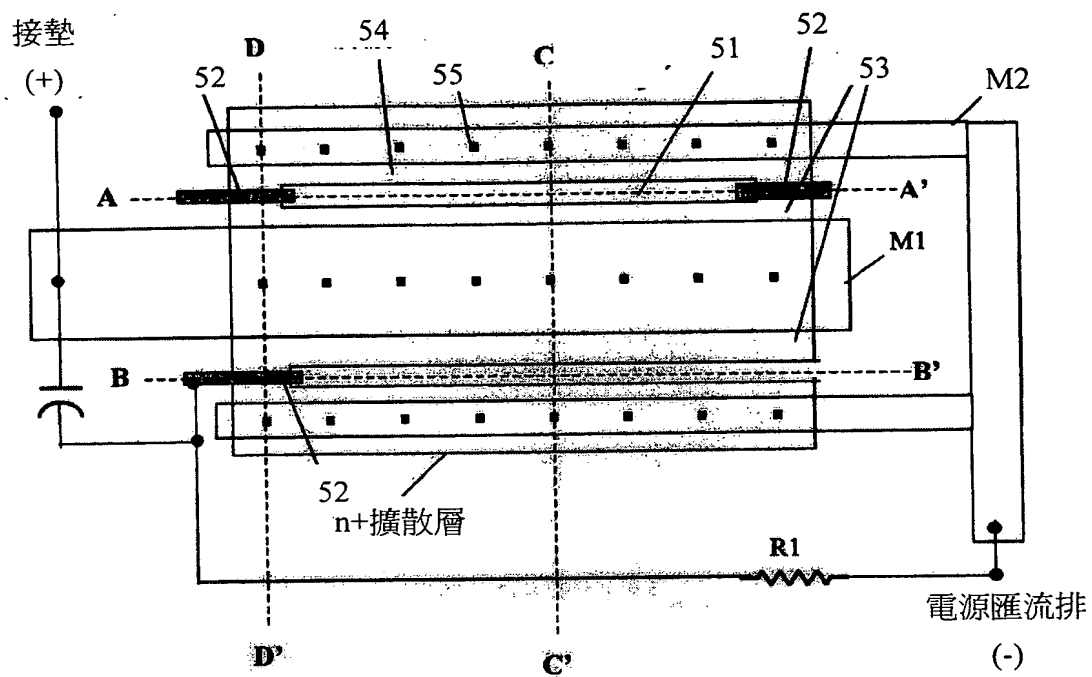


圖 5A

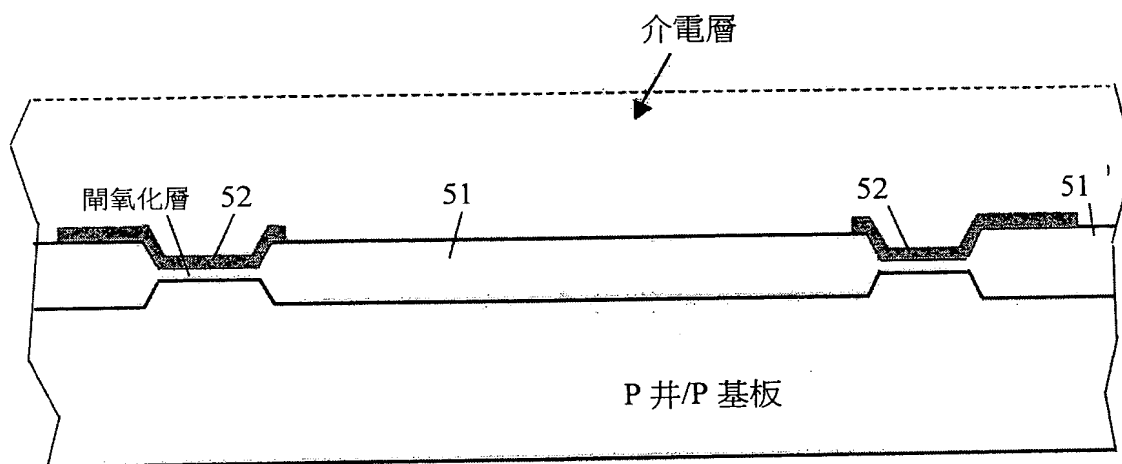


圖 5B

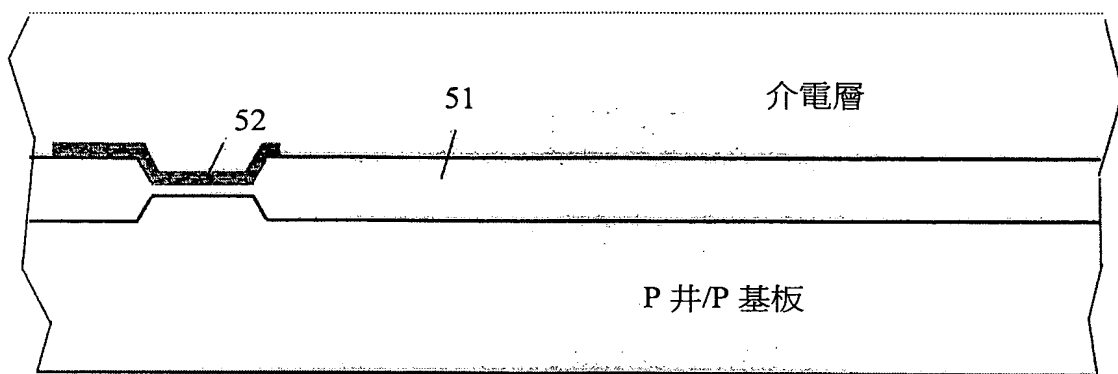


圖 5C

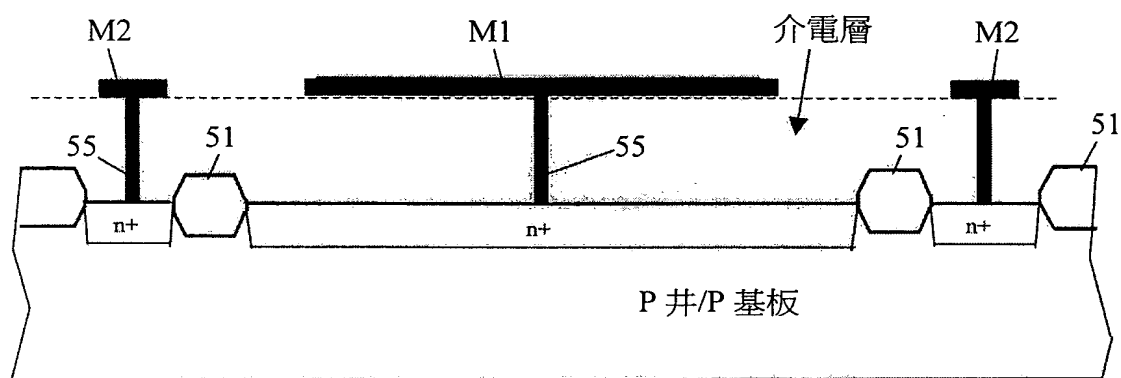


圖 5D

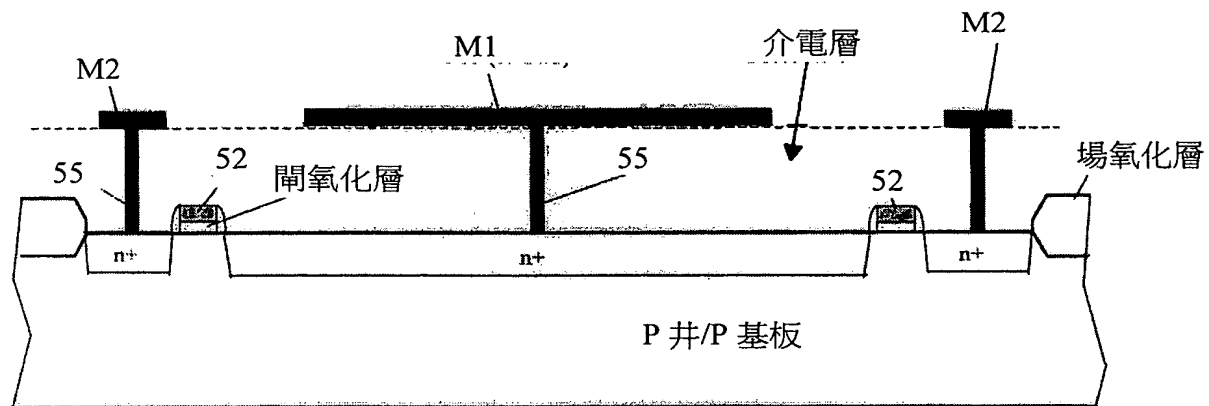


圖 5E

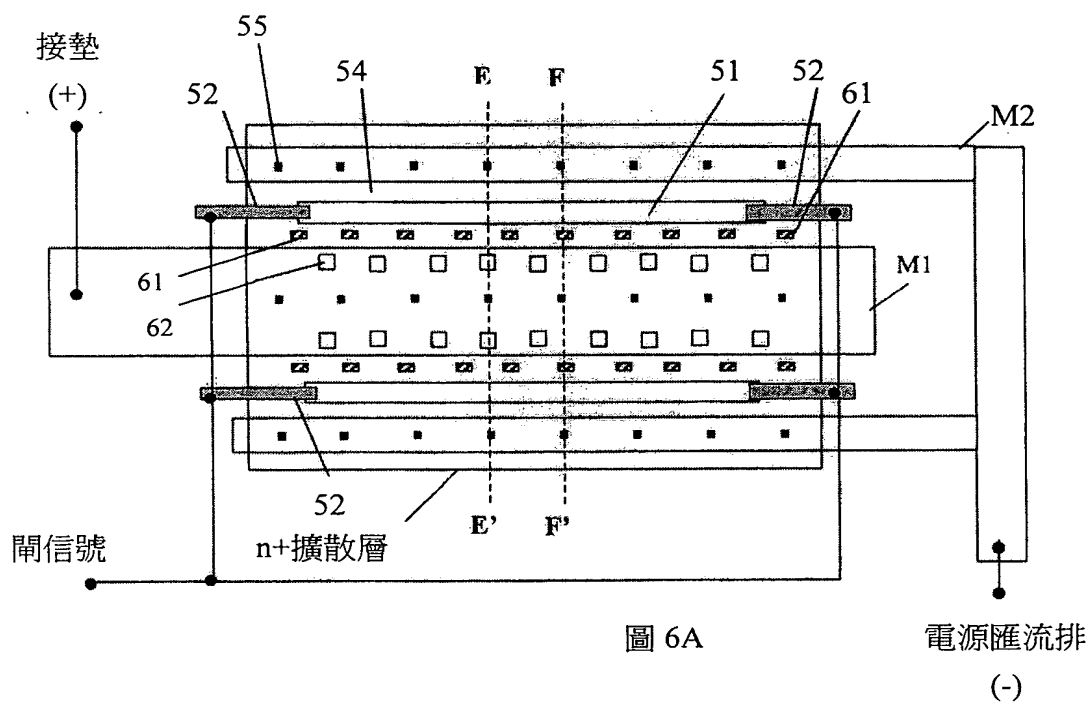


圖 6A

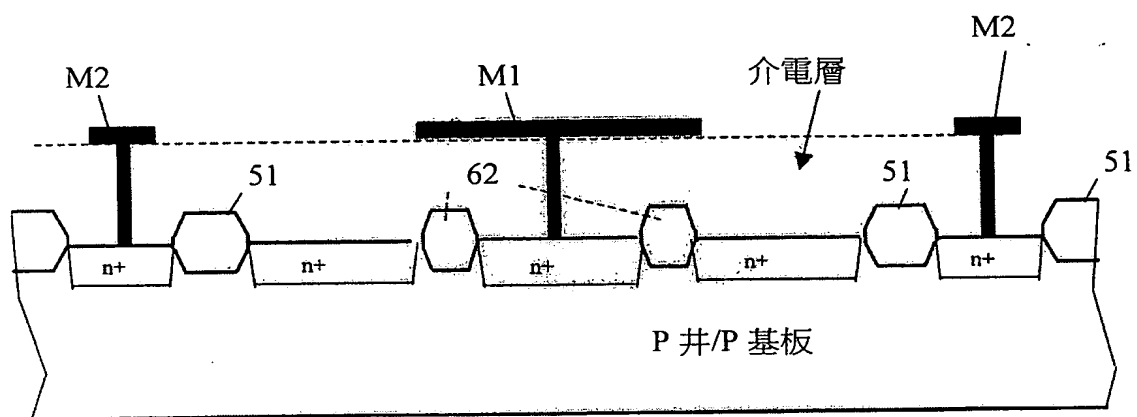


圖 6B

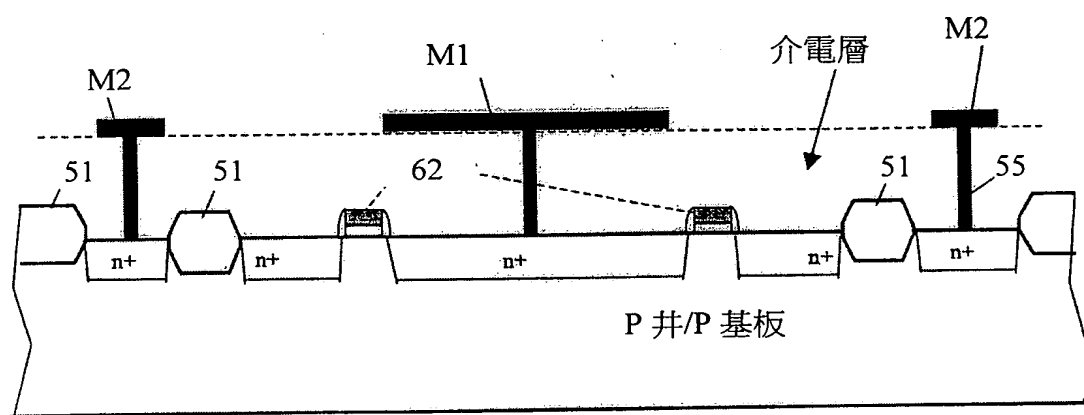


圖 6C

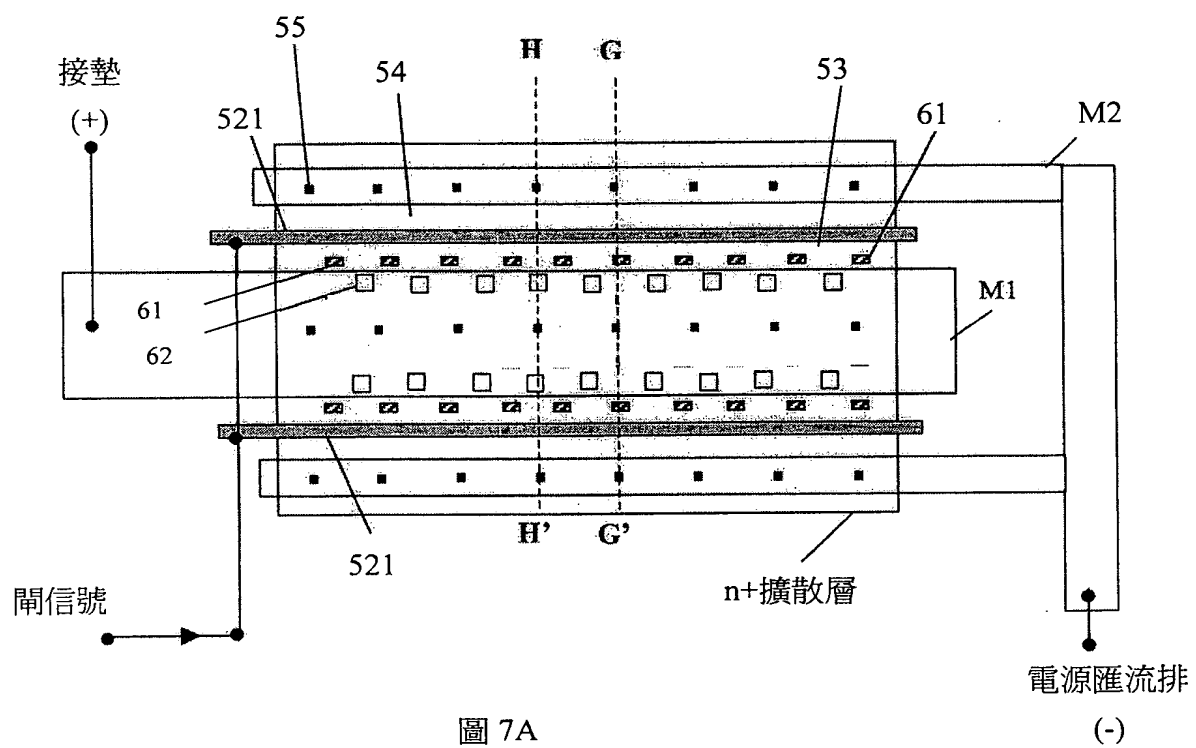


圖 7A

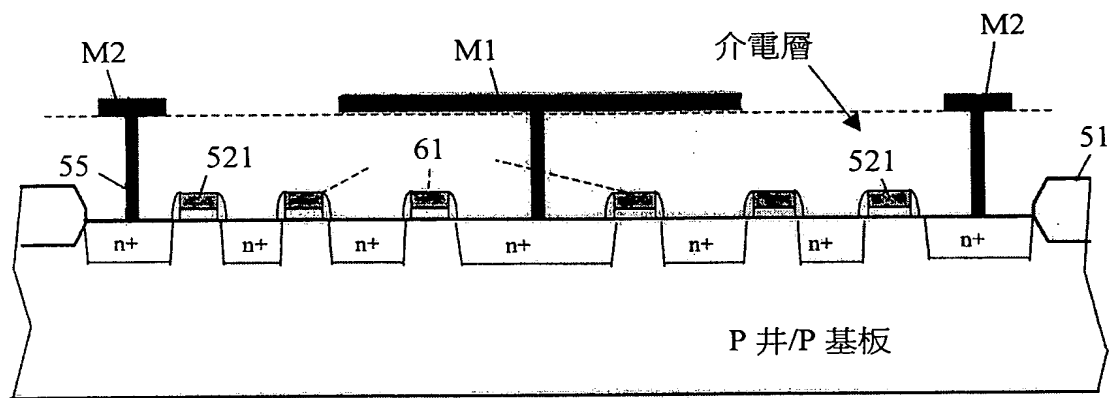


圖 7B

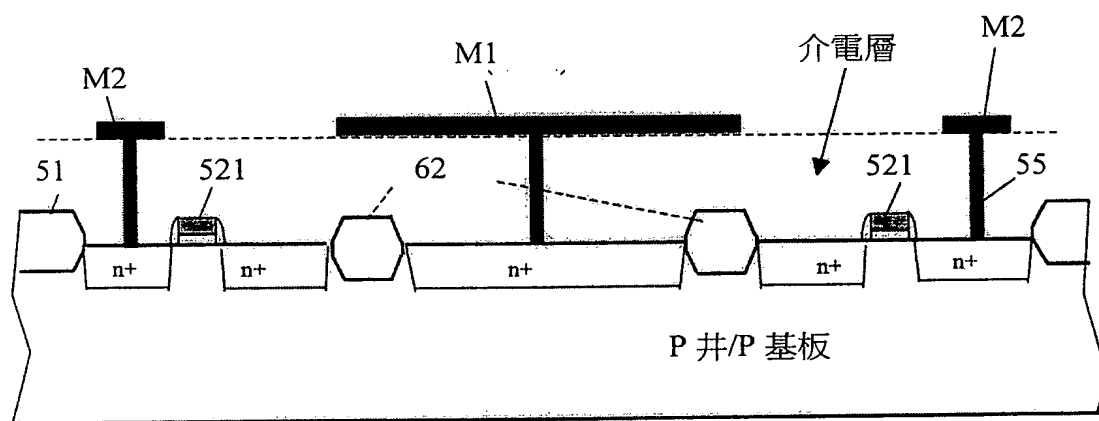


圖 7C

